

# Modélisation statistique de l'erreur d'appariement dans la technologie « TFT poly-Si » pour la conception de circuits analogiques

Cédric Rechatin, Patrick Audebert, Patrick Martin  
Laboratoire d'électronique et de technologie de l'information (CEA Grenoble-LETI)  
17 rue des Martyrs 38054  
Grenoble Cedex 9 - France

E-mail : . cedric.rechatin@cea.fr

## Résumé

*Cet article présente l'étude et la modélisation statistique de l'erreur d'appariement ou « mismatch » dans la technologie des transistors à couche mince (TFT, Thin Film Transistor) réalisés en silicium poly-cristallin (Poly-Si). Cette modélisation a été implantée sur le simulateur électrique ELDO en vue de concevoir des blocs analogiques.*

## 1. Introduction

La technologie TFT à base de silicium poly-cristallin (TFT Poly-Si) est aujourd'hui utilisée pour les applications d'électronique « grande surface » telles que les écrans plats à matrices actives LCD (Liquid Crystal Display) ou OLED (Organic Light Emitting Display) [1], les imageurs à rayons X [2] ou les capteurs d'empreintes [3]. L'essor de cette technologie s'explique par ce matériau poly-cristallin, intermédiaire entre le silicium amorphe, utilisé couramment pour des applications ne nécessitant pas des transistors rapides (commutations dans les matrices actives), et le silicium monocristallin, dédié à la vitesse et à la densité d'intégration. Ainsi le gain en mobilité des transistors en Poly-Si par rapport à la technologie amorphe (TFT a-Si), permet l'intégration directement sur la dalle en verre de fonctions jusque-là réalisées en mono-silicium puis hybridées sur la dalle de silicium amorphe. En plus de la réduction du coût de fabrication du système complet, ces fonctionnalités ouvrent les portes de nouvelles applications du type écrans intelligents, objets communicants, appelés aussi systèmes sur verre (SOG, System On Glass).

Cette course à l'intégration explique les motivations pour la réalisation de circuits analogiques [4-6]. Cependant, les très fortes dispersions technologiques constituent l'un des inconvénients majeurs de cette filière. Elles se traduisent en particulier par des erreurs d'appariement importantes qui modifient aléatoirement les caractéristiques de chaque transistor du circuit (tension de seuil, mobilité). Ces contraintes compliquent notablement l'étape de simulation/conception puisqu'elle est génératrice de tensions ou de courants de décalage, d'erreurs sur les gains des amplificateurs... Leur prise en compte est donc critique pour la conception de circuits analogiques dans cette technologie. Des études ont été menées pour quantifier ces

dispersions en établissant un lien avec la variation de certains paramètres technologiques [7]. Mais ces modèles physiques sont dédiés principalement à la compréhension et à la prédiction de ces dispersions, nécessaires au développement des futures générations de ces transistors, et non pas à la conception de circuits.

L'objectif de notre étude est de quantifier le « mismatch » à partir de la variation de certains paramètres du modèle électrique de transistors TFT Poly-Si implémenté sur le simulateur électrique ELDO (LEVEL 62) [8]. Dans une première partie, nous présenterons brièvement la filière TFT Poly-Si et l'origine de ses dispersions technologiques. La seconde partie expliquera les particularités de certains paramètres du modèle électrique utilisés pour la modélisation statistique. La troisième partie présentera la méthodologie pour modéliser ces erreurs d'appariement en vue de leur prise en compte lors des simulations. Enfin dans une dernière partie, nous montrerons leurs conséquences pour la conception de blocs analogiques de base.

## 2. Présentation de la technologie TFT Poly-Si

### 2.1 Description physique

La couche active en silicium poly-cristallin est obtenue par recuit laser (balayage) d'une couche de silicium amorphe préalablement déposée sur le substrat en verre. Sur la figure 1 suivante est représentée la coupe simplifiée du transistor à couches minces sur silicium poly-cristallin.

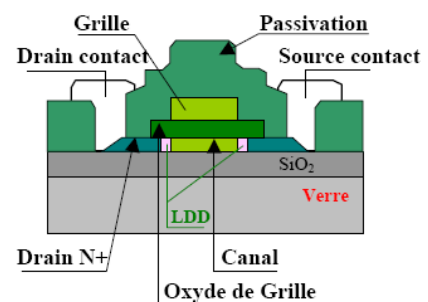


Figure 1. Vue schématique d'un transistor TFT poly-Si de type N

## 2.2 Particularités électriques

Les particularités électriques de cette technologie sont directement liées aux propriétés du silicium poly-cristallin. En effet, ce matériau est constitué de grains mono-cristallins séparés entre eux par des zones désordonnées et riches en défauts cristallins, que l'on peut assimiler à du silicium amorphe et que l'on nomme joints de grains (Figure 2).

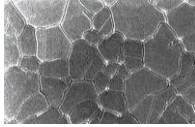


Figure 2. Joints de grains dans la couche de Poly-Si

Ces caractéristiques structurales introduisent des états localisés dans la bande interdite. Ces états entraînent alors la capture de porteurs libres dans le Poly-Si. Ce phénomène de piégeage des porteurs se traduit par une augmentation de la tension de seuil ( $V_t > 1V$ ), une dégradation de la pente sous le seuil ( $> 400mV/dec$ ) et de la mobilité ( $< 200cm^2/V.s$ ).

## 2.3 Origine de l'erreur d'appariement

La non homogénéité du balayage laser est la cause principale des fortes dispersions technologiques. En effet, elle se traduit par une variation de la taille des grains composant le canal du transistor dans lequel le courant des porteurs circule ( $0.3\mu m < \text{taille des grains} < 0.8\mu m$ ). Ainsi, la variation du nombre de grains présents dans le canal modifie différemment les caractéristiques électriques de chaque transistor.

## 3. Particularités du modèle électrique des TFT Poly-Si pour la simulation de circuit

Les particularités des transistors TFT par rapport aux transistors mono-cristallins (transistors « bulk ») a nécessité le développement de modèles spécifiques [9]. L'analyse de ces particularités, décrites ci-dessous, nous a permis de définir les paramètres de dispersion à prendre en compte pour une telle technologie.

### 3.1 Tension de seuil $V_t$

La tension de seuil n'a pas la même signification physique pour les TFT Poly-Si et les transistors « bulk ». Pour ces derniers, la transition entre le régime OFF et le régime ON est très rapide. Au contraire, pour les TFT Poly-Si, cette transition est beaucoup plus lente due aux phénomènes de piégeage des porteurs dans les joints de grain. On peut ainsi distinguer deux tensions de seuil:  $V_t$  et  $V_{on}$ . La tension  $V_t$  est définie par la transition du régime exponentielle au régime linéaire: elle correspond à la tension de grille pour laquelle  $G_m/I_d$  vaut environ 90% de sa valeur maximale (Figure 3). La tension  $V_{on}$  correspond à l'extrapolation de la courbe  $I_d(V_{gs})$  en régime ohmique. On peut souligner que  $V_t \approx V_{on}$  dans le cas des transistors « bulk ».

## 3.2 Mobilité effective $\mu_{eff}$

Ce modèle électrique TFT Poly-Si appartient aux modèles de conduction dits de « milieu effectif » [9]. Cette approche se traduit par une loi empirique pour l'expression de la mobilité effective  $\mu_{eff}$ :

$$\frac{1}{\mu_{eff}} = \frac{1}{MU1 \cdot \left( \frac{2 \cdot (V_{gs} - V_t)}{ETA \cdot V_{th}} \right)^{MMU}} + \frac{1}{MU0} \quad (1)$$

où  $MU0$  est la valeur de mobilité à fort  $V_{gs}$ ,  $MU1$  et  $MMU$  sont des paramètres de « fitting »,  $ETA$  le paramètre relatif à la pente sous le seuil et  $V_{th}$  la tension thermique.

On constate à partir de cette expression une augmentation de la mobilité effective avec la tension de grille  $V_{gs}$ .

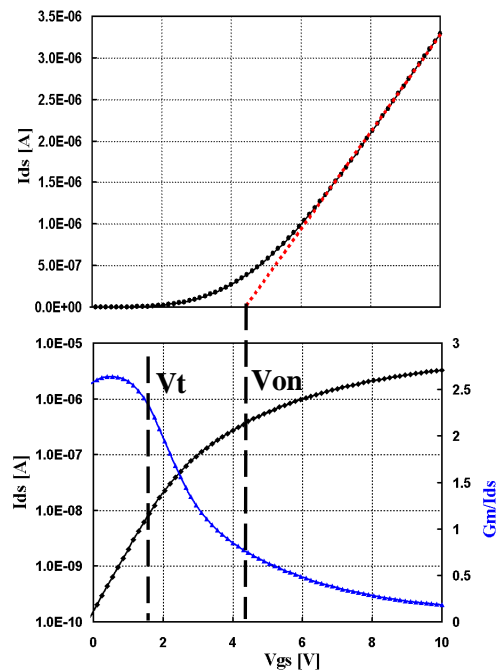


Figure 3. Courant  $I_{ds}$  et  $G_m/I_{ds}$  pour un transistor TFT poly-si NMOS de  $50\mu m \times 50\mu m$  à  $V_{ds}=0.1V$ . Extraction de  $V_t$  et  $V_{on}$ .

## 4. Modélisation statistique de l'erreur d'appariement

Dans les modèles électriques de type Spice, on utilise des méthodes indirectes pour prendre en compte les erreurs d'appariement. La méthode la plus simple consiste à modifier certains paramètres non corrélés du modèle électrique de simulation à partir d'un générateur de nombres aléatoires gaussiens. Ces paramètres sont déduits de l'équation en courant de drain des transistors MOS [10]. Il s'agit de la tension de seuil  $V_t$  et de la mobilité  $\mu$  (ou transconductance  $\beta$ ). Or nous avons vu précédemment les particularités de ces mêmes paramètres dans le cas du modèle TFT Poly-Si. La difficulté est donc d'adapter cette méthodologie à notre modèle électrique en identifiant les paramètres adéquats à modifier.

## 4.1 Méthodologie proposée

A partir de l'équation en courant du modèle TFT Poly-Si [10], on peut identifier 5 paramètres principaux pour décrire les caractéristiques électriques nominales du courant:  $V_t$ ,  $\eta$ ,  $\mu_{00}$ ,  $\mu_{01}$ ,  $\mu_{02}$ . Dans cette étude, le paramètre  $\mu_{02}$  est fixé à une valeur moyenne car il est fortement corrélé au paramètre  $\mu_{01}$ .

La méthodologie proposée est schématisée sur la Figure 4. Elle consiste à extraire 20 jeux distincts de ces paramètres à partir de mesures sur 20 transistors identiques. Ensuite, pour vérifier si ces paramètres décrivent correctement l'erreur d'appariement, on a implémenté le modèle TFT Poly-Si sous MATLAB. En effet, à partir de la distribution de chacun des paramètres extraits ( $\bar{P}$ =Moyenne du paramètre  $P$ ,  $\sigma P$ =écart type du paramètre  $P$ ), nous calculons la distribution du courant drain  $I_{ds}$  et donc l'erreur d'appariement sur ce courant.

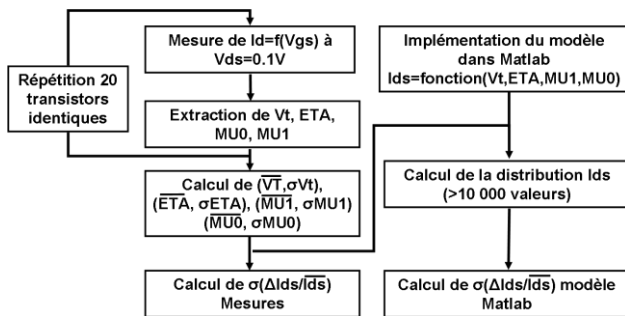


Figure 4. Méthodologie proposée pour la modélisation statistique de l'erreur d'appariement sur le courant  $I_{ds}$

## 4.2 Résultats

Les résultats des extractions sont rassemblés sur le tableau ci-dessous. La faible corrélation entre les paramètres extraits démontre la nécessité de ces 4 paramètres de mismatch pour des transistors TFT Poly-Si.

Paramètres P du modèle	Valeur Moyenne P	Ecart type $\sigma P$
$V_t$ (V)	1.62	0.041
$\eta$	17.03	0.29
$\mu_{00}$ ( $\text{cm}^2/\text{V.s}$ )	142	6
$\mu_{01}$ ( $\text{cm}^2/\text{V.s}$ )	$1.13 \times 10^{-2}$	$7.1 \times 10^{-4}$

Table 1 : Résultats des extractions des paramètres sur 20 transistors NMOS  $50\mu\text{m} \times 50\mu\text{m}$  à  $V_{ds}=0.1\text{V}$ .

On peut vérifier sur le graphe ci-dessous la validité de l'extraction des paramètres (Figure 5):

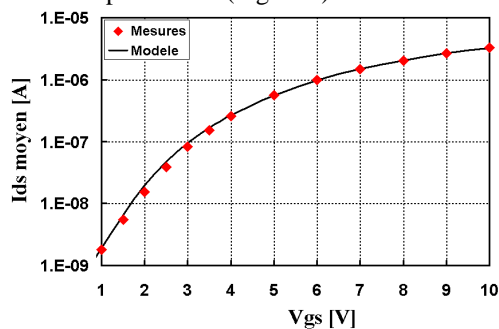


Figure 5. Comparaison du courant moyen  $I_{ds}$  entre les mesures et le modèle. Transistors NMOS  $50\mu\text{m} \times 50\mu\text{m}$  à  $V_{ds}=0.1\text{V}$ .

Enfin la figure 6 montre une bonne prédiction du modèle Matlab sur le calcul de l'erreur d'appariement relatif au courant de drain  $I_{ds}$ .

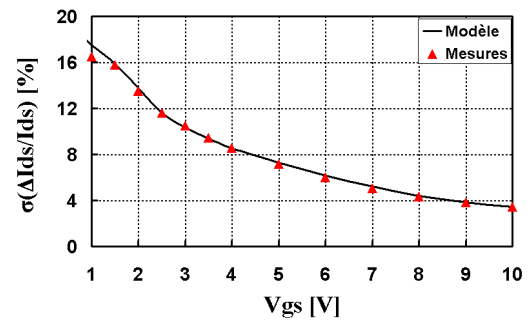


Figure 6. Comparaison de l'erreur d'appariement sur le courant  $I_{ds}$  calculé à partir des mesures et du modèle Matlab.

## 5. Incidences de l'erreur d'appariement des TFT Poly-Si sur la conception de blocs analogiques de base

Nous allons étudier les effets de l'erreur d'appariement sur deux blocs analogiques de base : le miroir de courant et la paire différentielle.

### 5.1 Précision du miroir de courant

Le schéma du miroir de courant étudié est donné ci-dessous (Figure 7).

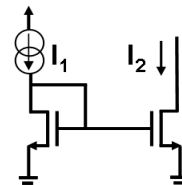


Figure 7: Miroir de courant classique.

On suppose que les 2 transistors fonctionnent au dessus du seuil ( $V_{gs} > V_t$ ) et en régime saturé ( $V_{ds} > V_{dsat}$ ). On suppose aussi que l'effet de la modulation de la longueur du canal est négligeable. D'après le modèle TFT Poly-Si, on peut approximer l'expression du courant drain par :

$$I_{ds} = \frac{\mu_{eff} \cdot COX}{2} \cdot \frac{W}{L} \cdot (V_{gs} - V_t)^2 \quad (2)$$

avec d'après (1),  $\mu_{eff} = f(V_{gs})$

On peut alors déduire à partir de cette expression l'erreur d'appariement sur le courant drain du miroir:

$$\left( \frac{\sigma(\Delta I_{ds})}{I_{ds}} \right)^2 = \left( \frac{\sigma(\Delta \mu_{eff})}{\mu_{eff}} \right)^2 + \left( \frac{gm}{I_{ds}} \right)^2 \cdot \sigma^2(\Delta V_t) \quad (3)$$

Cette expression (3) est représentée sur la figure 8. Elle montre la contribution de la dispersion de  $V_t$  et de  $\mu_{eff}$  sur l'imprécision du courant copié. Contrairement aux transistors MOS monocristallins [11], on constate que: d'une part l'erreur sur  $\mu_{eff}$  diminue lorsque  $V_{gs}$  augmente; d'autre part, on peut négliger l'effet de l'erreur sur  $V_t$  pour

$V_{gs}$  grand. Pour augmenter la précision du miroir, il faut donc se placer à une tension de grille  $V_{gs}$  grande et augmenter l'aire de la grille du transistor ( $W \times L$ ) pour minimiser l'effet de l'erreur sur  $\mu_{eff}$ .

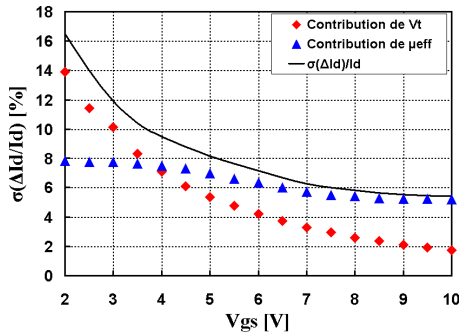


Figure 8: Erreur d'appariement sur le courant drain  $I_{ds}$ . Miroirs NMOS  $50\mu m \times 50\mu m$  à  $V_{ds}=10V$  (régime saturé). Contribution de l'erreur d'appariement sur  $V_t$  et  $\mu_{eff}$ .

## 5.2 Offset d'entrée d'une paire différentielle

Nous allons étudier l'impact de l'erreur d'appariement sur l'offset d'entrée de la paire différentielle (Figure 9).

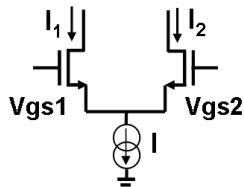


Figure 9: Paire différentielle NMOS.

En gardant les mêmes hypothèses sur le régime de fonctionnement des transistors que précédemment et à partir de l'équation en courant (2), on peut calculer:

$$\sigma^2(\Delta V_{os}) = \sigma^2(\Delta V_t) + \frac{1}{(g_m/I_{ds})^2} \cdot \left( \frac{\sigma(\Delta \mu_{eff})}{\mu_{eff}} \right)^2 \quad (4)$$

avec  $V_{os}$  la tension d'offset en entrée

Cette expression (4) est représentée sur la figure 10. On constate qu'il faut se placer à une faible tension de grille  $V_{gs}$  pour minimiser l'offset d'entrée de la paire différentielle. Par contre, cela se traduit par la réduction de la bande passante de l'amplificateur (courant de polarisation de l'étage différentiel faible).

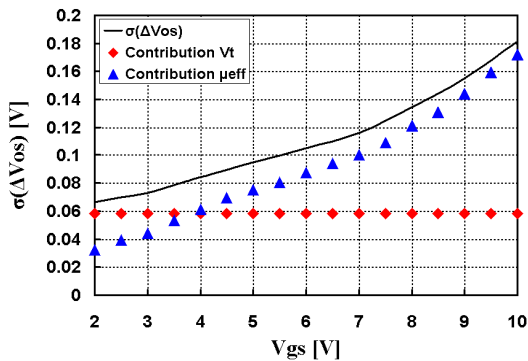


Figure 10: Ecart type de l'offset d'entrée de la paire différentielle NMOS  $50\mu m \times 50\mu m$  à  $v_{ds}=10V$  (Régime saturé). Contribution de  $V_t$  et  $\mu_{eff}$ .

## 6. Conclusions

Cet article présente une méthodologie permettant d'implémenter le modèle statistique de l'erreur d'appariement dans la technologie TFT Poly-Si sur le simulateur ELDO. La méthode d'implémentation consiste à prendre en compte 4 paramètres de dispersion dans le modèle électrique, contrairement aux 2 paramètres pour un modèle de transistors mono-Si. Les résultats fournis par notre modélisation montrent un bonne concordance avec les mesures. Nous avons aussi montré aussi que les effets de cette erreur d'appariement sur la conception de blocs analogiques de base sont semblables à ceux sur une technologie en silicium mono-cristallin classique. Du point de vue conception, on se retrouve donc avec les mêmes compromis à réaliser pour de bons appariements.

## 7. Références

- [1] Yen-Chung-Lin, Shieh H.P.D: "A novel current memory circuit for AMOLEDs", IEEE Transactions on Electron Devices. 2004, p.1037-1040.
- [2] Rankov A, Rodriguez-Villegas E., Lee M.J.: "A novel correlated double sampling poly-Si circuit for readout systems in large area X-ray sensors", ISCAS-IEEE International Symposium on Circuits and Systems, Kobe, Japan, 2005, p.23-26 Vol. 1.
- [3] Hara.H., Sakurai, M., Miyasaka. M., Tam S.W.B., Inoue S., Shimoda T.: "Low temperature polycrystalline silicon TFT fingerprint sensor with integrated comparator circuit", 30th European Solid-State Circuits Conference, Leuven, Belgium, 2004, p.21-23.
- [4] Chun-Lai-Yiu, Mok P.K.T.: "Design of polysilicon TFT operational amplifier for analog TFT AMLCD driver", ICECS -8th IEEE International Conference on Electronics Circuits and Systems, Malta, 2001, p.317-20 vol 1.
- [5] Itou R., Kayama M., Shima T.: "Some analog building blocks for TFT circuits", MWSCAS-44th IEEE Midwest Symposium on Circuits and Systems, Dayton, USA, 2001, p.14-17 vol.1.
- [6] Ya-Hsiang-Tai, Cheng-Chiu-Pa, Bo-Ting-Chen, Huang-Chung-Cheng: "A source-follower type analog buffer using poly-Si TFTs with large design windows", IEEE Electron Device Letters, 2005, p.811-813.
- [7] Wang A.W., Saraswat K.C.: "A strategy for modeling of variations due to grain size in polycrystalline thin-film transistors", IEEE Transactions on Electron Devices. 2000, p.1035-1043.
- [8] Eldo Device Equations Manual Version 6.5\_1, 2005, chapitre 23.
- [9] Shur M.S., Slade H.C., Jacunski M. D., Owusu A.A., Ytterdal T.: "SPICE models for amorphous silicon and polysilicon thin film transistors", Journal of the Electrochemical Society, 1997, p 2833-2839.
- [10] Pelgrom M.J.M, Duijnmaier A.C.J., Welbers A.P.G.: "Matching properties of MOS transistors", IEEE Journal of Solid State Circuits, 1989, p.1433-1439.
- [11] Kinget P.R.: "Device mismatch and tradeoffs in the design of analog circuits", IEEE Journal of Solid State Circuits, 2005, p. 1212-1224.